## PATENT ABSTRACTS OF JAPAN

(11) Publication number:

01-186646

(43)Date of publication of application: 26.07.1989

(51)Int.CI.

H01L 21/78 B28D 5/00 H01L 21/306

(21)Application number: 63-005846

(71)Applicant: MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing:

14.01.1988

(72)Inventor: MURATA TAKAHIKO

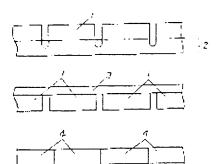
**ABE TERUO** 

#### (54) DICING METHOD

#### (57) Abstract:

PURPOSE: To obtain a high-resolution and highly accurate adhesion image sensor by connecting a plurality of chips using a first process for performing cutting from the surface of a semiconductor substrate which forms a circuit and a second process which performs polishing and etching from the rear surface.

CONSTITUTION: A first process 1 which is the cutting from the surface of a semiconductor substrate 1 is performed. In this case, a part 2 which lacks vertical properties of cutting surface as half cut is left. Since no rear surface of the substrate 1 is cut in this process, no positioning deviation of each chip occurs on cutting vertical and horizontal columns. After the first process, the surface of the substrate 1 is fixed by fixing agent 3, the part 2 on the cutting surface which 1 lacks vertical properties is removed by polishing or etching from the rear surface, the chip fixing agent 3 is removed, and a plurality of chips 4 are connected to form a long image sensor. It allows a high-resolution and highly accurate adhesion-type image sensor to be obtained and mass production capability to be improved.



#### **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

			•	,
		•	•	,
				•

# **EUROPEAN PATENT OFFICE**

## Patent Abstracts of Japan

PUBLICATION NUMBER

01186646

PUBLICATION DATE

26-07-89

APPLICATION DATE

14-01-88

APPLICATION NUMBER

63005846

APPLICANT:

MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR :

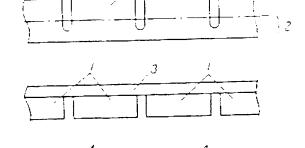
ABE TERUO;

INT.CL.

H01L 21/78 B28D 5/00 H01L 21/306

TITLE

DICING METHOD



ABSTRACT :

PURPOSE: To obtain a high-resolution and highly accurate adhesion image sensor by connecting a plurality of chips using a first process for performing cutting from the surface of a semiconductor substrate which forms a circuit and a second process which performs polishing and etching from the rear surface.

CONSTITUTION: A first process 1 which is the cutting from the surface of a semiconductor substrate 1 is performed. In this case, a part 2 which lacks vertical properties of cutting surface as half cut is left. Since no rear surface of the substrate 1 is cut in this process, no positioning deviation of each chip occurs on cutting vertical and horizontal columns. After the first process, the surface of the substrate 1 is fixed by fixing agent 3, the part 2 on the cutting surface which 1 lacks vertical properties is removed by polishing or etching from the rear surface, the chip fixing agent 3 is removed, and a plurality of chips 4 are connected to form a long image sensor. It allows a high-resolution and highly accurate adhesion-type image sensor to be obtained and mass production capability to be improved.

COPYRIGHT: (C) 1989, JPO& Japio

### ⑩日本国特許庁(JP)

⑪特許出願公開

#### 平1-186646 ②公開特許公報(A)

®Int. Cl. ⁴

識別記号

庁内整理番号

❸公開 平成1年(1989)7月26日

21/78 H 01 L 5/00 21/306 B 28 D

S - 8831 - 5 F Z - 7366 - 3 C M - 7342 - 5 F 審査請求 未請求 請求項の数 1 (全3頁)

会発明の名称

H 01 L

ダイシング法

昭63-5846 ②特

彦

昭63(1988) 1月14日 頭 ②出

②発 明 者 村

隆 田

大阪府門真市大字門真1006番地 松下電器産業株式会社内 大阪府門真市大字門真1006番地 松下電器產業株式会社內

仓発 明 者

砂代 理

輝 夫

大阪府門真市大字門真1006番地

松下電器産業株式会社 ①出 類 弁理士 中尾 敏男

外1名

### 1、発明の名称

ダイシング法

#### 2、特許請求の範囲

回路を形成した半導体装板の表面から切断する 第1工程と、裏面から研歴またはエッチングする 第2工程とからなることを特徴とするダイシング Æ.

## 3、発明の詳細な説明

産業上の利用分野

本発明は回路を形成した半導体基板を分割する 染に用いることのできるダインング法に関するも のである。

#### 従来の技術

近年、事務機器,ファクス,コンピュータの人 力端末用としての各種の密着型イメージセンサの 開発が進められている。密着形イメージセンサは、 等信率で読み取るために原稿と同一サイズの長尺 ラインセンサを必要とする。その中でもプロセス 技術が確立し、高性能なシリコンICチップを復

数個按続して長尺化をはかって密着型イメージセ ンサを実現していこうとする動きがある。この場 合、ICチップ間の接続誤差がその密着型イメー ジセンサの読み取り精度を制限する。高精度の密 着型イメージセンサを実現するためには、ICチ ップの端面(ダイシング面)の状態が非常に重要 となる。また高分解能になる程センサ間隔が狭く たるため、接続部の両側のセンサ間隔を精度よく 保つ必要がある。

以下図面を参照しながら、上述した従来のダイ ンング法の一例について説明する。第4因は従来 のダイシングのフルカット法を示すものである。 11は回路を形成した半導体基板であり、12は 接着シートである。接着シート12は半導体基板 11を完全化フルカットするためのものであり、 またダイシング装置のステージを傷つけたいよう に保護するためのものである。とのフルカット法 で切断したチップを複数個旅院して、長尺イメー ジセンサを形成する。

発明が解决しようとする課題

### 特開手1-186646(2)

しかしながら、上記のようなダインング生で切断したチップを接続すると接続部ですき間が生じる。この様子を第6図に示す。第6図にかいて13は半導体基板11をカットして構成したチップで、このチップ13間ですき間 t<sub>1</sub>, t<sub>2</sub>, t<sub>3</sub> が発生する。

この原因は第6凶に示す切断用プレード14の 先端部の幅が中央部の幅より狭くなっており、切 断消は台形状となるためである。チップ13を複 数個接続した場合、接続部の両側のセンサ間隔が 接続部の両側以外のセンサ間隔と異なり、高分解 能、高精度の密着型イメージセンサが得られない という間類点を有していた。また、第7〇回に示す ように、切断後、チップ134、130、13c、 134の位置が、接着リートの伸び等でずればに、 が発生し、切断が困難であるという問題点も有し でいた。

本発明は上記問題点に鑑み、複数個のチップを 接続して高分解能 、高精度な密着型イメージセン

シング法を示すものである。第1図において、1 は回路を形成した半導体基板である。2は切断面 の垂直性の欠く部分である。第2図において、3 はチップの表面部の固定剤であり、裏面の研摩時も しくはエッチング時に、各チップを保持するため のものである。

まず、半導体基板1の表面からの切断である第 1工程を行う。この際、切断はハーフカットであ り、図中の切断面の垂直性を欠く部分2を残す。 第1工程では半導体基板1の負面は切断されない ため、縦列切断,横列切断時の各チップの位置ず れば生じず、位置精度は確保されて切断される。

第1工程後、半導体基板1の表面を固定剤3で 固定し、切断面の垂直性の欠く部分2、すなわち 第1図中の部分2を裏面より、研歴もしくはエッ チングを行い取り除く。次に第3図に示すように チップ固定剤3を取り除き、チップ4を複数翻接 続して長尺のイメージセンサを形成する。

以上のように本実施例によれば、回路を形成し た半導体基板1の表面からハーフカットを行い、

サが得られ、かつ量産性に属むダインング法を提供するものである。

### 課題を解決するための手段

上記課題を解決するためで本発明のダインング 法は回路を形成した半導体基板の表面から切断す る第1工程と、裏面から研摩する第2工程、もし くは、裏面をエッチングする第2工程からなるも のである。

#### 作用

本党明は上記した方法により、基板の表面から 切断できる第1工程をハーフカットとし、解列 . 横列の位置ずれをなくす。さらに、切断面の裏面 付近の垂直性に欠く部分を、研撃もしくはエッチ ングで取り除くことにより、切断面の垂直性が確 保され、接続部のすき間が大幅に減少することと なる。

#### 実施例

以下本発明の実施例のダイシンプ法について、 図面を参照しながら説明する。

第1回,第2別は本発明の実施例におけるダイ

その後、東面から研磨もしくはエッチングを行うことにより、切断面の垂直性が実現し、接続部のすき間も大幅に減少し、高分解、高精度な密着型イメージセンサが実現可能となり、かつ量産性に富むダインングが行える。なか、実施例ではチップ固定剤3を用いたが、裏面よりの研摩時もしくはエッチング時にチップを保持できるものであれば例でもよい。

#### 発明の効果

以上のように本発明は、回路を形成した半導体 基板の表面から切断する第1工程と、 変面から研 際もしくはエッチングする第2工程からなるメイ シング性を切断工程に用いることにより、 チップ の切断面の垂直性が大幅に向上し、 複数 個のチップを接続して長尺センサを形成する密着イメージ センサにむいて、 高分解能 ・高精度可能な密着イ メージセンサが実現でき、かつ量産性にも富むと いう効果がある。

#### 4、図面の簡単な説明

第1 図,第2 図は本発明の実施例におけるダイ

特開平1-186646 (3)

シング底の工程図で、第1図は表面から切断する 第1工程を示す平面図、第2図は展面から研想も しくはエッチングする第2工程を示す底面図、第 3回は本発明のダイシング生で切断したチップを 接続した状態の平面図、第4図は従来のブルカラ ト法での工程を示す平面図、第6図はチップの接 焼を示す平面凶、第6凶はフルカット出ですき間 が生じる原因を示した平面図、第7図はフルカッ ト広ダイシングした後のチョブ位置のずれを示す 平面図である。

1 ……半導体基板、2 ……切断面の垂直性を欠 く部分、3 ……チップ固定剤。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

/---回路 医形成 1.15 半週休益級 2…切断面の垂直性を欠く部分 J---ナップ国足利 4---+-7

